

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-199495

(43)Date of publication of application : 31.07.1997

(51)Int.Cl. H01L 21/316
H01L 21/205
H01L 21/768

(21)Application number : 08-359858

(71)Applicant : HYUNDAI ELECTRON IND CO LTD

(22)Date of filing : 27.12.1996

(72)Inventor : KIN MINSAI
SHIN TOZEN

(30)Priority

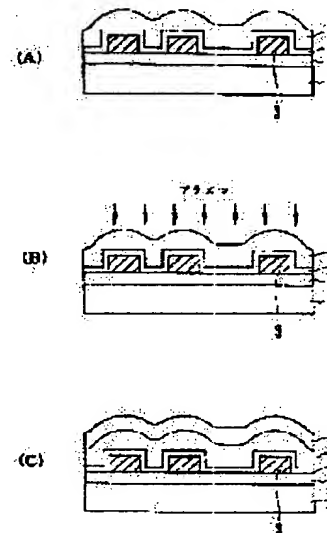
Priority number : 95 9565647 Priority date : 29.12.1995 Priority country : KR

(54) SOG FILM FORMING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make the structure of an SOG minute by surface processing the SOG film using plasma after setting and baking the SOG film.

SOLUTION: A conductor is evaporated on a silicon substrate 1 with an insulating film 2 formed thereon and after forming a lower metallic wirings 3, the first intermetallic insulating film 4, etc., is formed on the whole upper part surface and the whole body, after coating it with the SOG film 5, is set and baked. Next, the whole body is surface processed by a plasma produced using a specific gas e.g. argon, nitrogen oxide, etc., in a low pressure chemical evaporating reaction furnace. Next, the water content coupling is decoupled by local heating of the SOG film 5 to be externally discharged. At this time, this decoupling avoids the further water content discharge or the water content recoupling. Through these procedures, the film structure is made minute and the water content absorption capacity is decreased to avoid the deterioration in the electric characteristics of a semiconductor element thereby enabling the reliability upon the semiconductor element to be improved.



LEGAL STATUS

[Date of request for examination] 27.12.1996

[Date of sending the examiner's decision of rejection] 24.03.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199495

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	G
21/205			21/205	P
21/768			21/90	Q

審査請求 有 請求項の数6 書面 (全 3 頁)

(21) 出願番号 特願平8-359858

(22) 出願日 平成8年(1996)12月27日

(31) 優先権主張番号 95-65647

(32) 優先日 1995年12月29日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 金 民載

大韓民国 京畿道 利川市 夫鉢邑 新河里 巨平アパートメント 1棟 602号

(72) 発明者 辛 東善

大韓民国 ソウル市 瑞草区 蠶院洞 韓信5次アパートメント 115棟 1302号

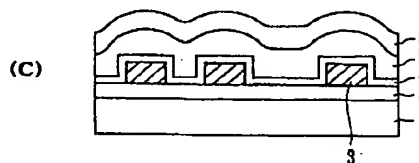
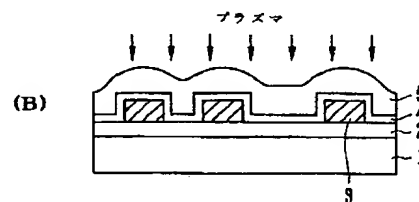
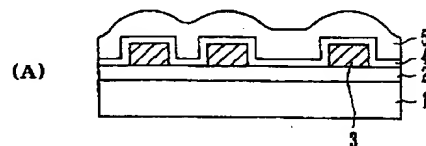
(74) 代理人 弁理士 中川 周吉 (外1名)

(54) 【発明の名称】 半導体素子のエス・オー・ジー (SOG) 膜形成方法

(57) 【要約】

【目的】 半導体素子の電気的特性を向上させることができるエス・オー・ジー膜形成方法を提供することに目的がある。

【構成】 本発明は水分の浸透による素子の電気的特性低下を防止するため SOG 膜を形成したあとプラズマを利用して上記 SOG 膜を表面処理する。



【特許請求の範囲】

【請求項1】半導体素子のエス・オー・ジー膜形成方法において、

半導体素子の製造工程を経て段差が深化されたシリコン基板上に層間絶縁膜を形成したあと表面を平坦化させるため全体上部面にエス・オー・ジー膜を塗布する段階と、

上記段階から上記エス・オー・ジー膜を硬化及び焼成させる段階と、

上記段階から上記エス・オー・ジー膜の構造が緻密化するようにプラズマを利用して上記エス・オー・ジー膜を表面処理する段階であることを特徴とする半導体素子のエス・オー・ジー膜形成方法。

【請求項2】第1項において、

上記表面処理は低压化学気象蒸着反応炉内で実施されることを特徴とする半導体素子のエス・オー・ジー膜形成方法。

【請求項3】第1項において、

上記プラズマはアンモニア(NH₃)及び窒素(N₂)が各々0.1乃至10Slm及び0.1乃至5Slmで混合されたガスにより発生されたことを特徴とする半導体素子のエス・オー・ジー膜形成方法。

【請求項4】第1項において、

上記プラズマはアルゴン(Ar)ガスにより発生されたことを特徴とする半導体素子のエス・オー・ジー膜形成方法。

【請求項5】第1項において、

上記プラズマは酸化窒素(N₂O)ガスにより発生されたことを特徴とする半導体素子のエス・オー・ジー膜形成方法。

【請求項6】第1項において、

上記表面処理時に上記プラズマの衝突効果を増大させるため低周波及び高周波電力が各々0.1乃至1.0KW及び0.1乃至2.5KWで印加されるようにすることを特徴とする半導体素子のエス・オー・ジー膜形成方法。

【発明の詳細な説明】

【0001】本発明は半導体素子のエス・オー・ジー膜形成方法に関し、特にエス・オー・ジー(以下、SOG(Spin On Glass)と称する)膜を形成したあとプラズマ(Plasma)を利用して表面処理することにより素子の信頼性を向上することができるようにした半導体素子のSOG膜形成方法に関することである。

【0002】一般的にSOGは粘度が大きいため塗布後の平坦度が優秀であり亀裂(crack)に対する耐性が大いという長所がある。更にSOGは主に回転(spin)塗布方法により塗布され、塗布後に硬化(bake)及び焼成(curing)工程を経ながら固体化(高分子化)されるため絶縁膜としての役割もする。

【0003】そこで半導体素子の製造工程では上記SOG膜を比較的段差が大きい金属層間の絶縁及び平坦化を目的に使用される。ところが上記焼成工程を経たあと上記SOG膜内には揮発性物質が残留されるためその構造が緻密に形成されることなく膜自体の水分吸収及び放出が発生する。

【0004】したがって上記SOG膜上部に形成される金属層又は絶縁膜の破れを誘発するか、あるいはコンタクトホール内では下部の金属層を酸化させて金属配線の自体抵抗を増加させることもある。それゆえに金属層間の接続が不良になり断線が誘発されひいては素子の信頼性が低下される。

【0005】素子の動作時上記SOG膜は吸収した水分を放出するが、放出された水分はトランジスタを構成するゲート酸化膜とシリコン基板又はフィールド酸化膜とシリコン基板の間の未結合されたシリコンボンド(bond)に捕獲されホットキャリア(hot carrier)が発生されることもある。このホットキャリアによりフィールド反転(field inversion)をおこして電気的特性を低下させる。

【0006】一方コンタクトホールを形成するためのエッチング工程時コンタクトホール側壁の露出されたSOG膜は感光膜を除去するため使用する酸素プラズマにより収縮されるため上記コンタクトホール側壁の弓形(bowling)現象が誘発され金属の層覆い(step coverage)が悪化し、酷い場合は金属層の短絡が誘発される。

【0007】したがって本発明はSOG膜を形成したあとプラズマを利用して上記SOG膜を表面処理することにより上記の短所を解消することができる半導体素子のエス・オー・ジー膜形成方法を提供することにその目的がある。

【0008】上記の目的を達成するための本発明は半導体素子製造工程を経て段差が深化したシリコン基板上に層間絶縁膜を形成したあと表面を平坦化するため全体上部面にSOG膜を塗布する段階と、上記段階から上記SOG膜を硬化及び焼成させる段階と、上記段階から上記SOG膜の構造が緻密化されるようにプラズマを利用して上記SOG膜を表面処理する段階であることを特徴とする。

【0009】以下に、添付した図面を参照して本発明を詳細に説明する。第1A乃至第1C図は本発明による半導体素子のSOG膜形成方法を説明するための素子の断面図である。第1A図に図示された如く所定の半導体素子製造工程を経て絶縁膜(2)が形成されたシリコン基板(1)上にアルミニウム(Al)のような導電物が蒸着される。パターニング工程により下部金属配線(3)が形成されたあと全体上部面に第1金属層間絶縁膜(4)が形成される。更に、第1金属層間絶縁膜(4)

上にSOG膜(5)が塗布されたあと硬化及び焼成工程

3

が実施される。

【0010】第1B図は低圧化学気象蒸着反応炉内で0.1乃至10Slmのアンモニア(NH₃)と0.1乃至5Slmの窒素(N₂)が混合されたガス又はアルゴン(Ar)、酸化窒素(N₂O)等のようなガスを利用して発生されたプラズマを利用して上記SOG膜

(5)を表面処理した状態の断面図であり、このとき上記表面処理により上記SOG膜(5)が局部的に加熱されるため水分結合(-OH)が切れて外部に放出される。

【0011】上記の切れた結合は珪素及び酸素と高分子結合することによりそれ以上の水分放出或いは水分再結合が防止される。したがって上記SOG膜(5)の構造が焼成後再び厚さが2乃至2.5%減少されて膜の構造が緻密になる。

【0012】上記プラズマを発生する過程で低周波及び高周波電力を同時に印加して上記プラズマの衝突効果を増大させることができる。一方、上記低周波及び高周波電力は各々0.1乃至1.0KW及び0.1乃至2.5KWで印加されるようにする。

【0013】第1C図は上記プラズマを利用した表面処

4

理後インシチュール(In-Situ)で上記SOG膜(5)上に第2金属層間絶縁膜(6)を形成する状態の断面図である。

【0014】上述した如く本発明によるとSOG膜を形成したあとプラズマを利用して上記SOG膜を表面処理することにより膜の構造が緻密化され水分吸収力が低下する。したがって後続工程を容易に実施することができ、水分の吸収及び放出により発生する半導体素子の電気的特性低下を防止して素子の信頼性を向上することができる卓越した効果がある。

10

【図面の簡単な説明】

【図1A】乃至

【図1C】は本発明による半導体素子のSOG膜形成方法を説明するための半導体素子の断面図。

【符号の説明】

1：シリコン基板

2：絶縁膜

3：下部金属配線

4及び6：第1及び第2金属層間絶縁膜

20 5：SOG膜

【図1】

